

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153843

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

H04B 1/707
H04L 27/20

(21)Application number : 07-312392

(71)Applicant : NEC CORP

(22)Date of filing : 30.11.1995

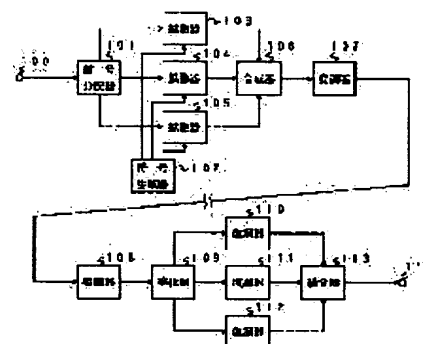
(72)Inventor : MATSUI HITOSHI

(54) CODE MULTIPLEX COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the code multiplex communication system of a high bit rate.

SOLUTION: A transmission side divides an input signal and gives delay in different chip clock units to the divided signals. Then, they are diffused, synthesized and transmitted. A reception side inversely diffuses the signals by means of a correlation processing and the distortion of a multi-path is removed in an equalizer 109. Since signals which are code-divided like time-divided multiplex signals are outputted from the equalizer 109, the signals are demodulated and synthesized. Thus, transmission data can be restored.



LEGAL STATUS

[Date of request for examination] 30.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2780690

[Date of registration] 15.05.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

THIS PAGE BLANK (USPTO)

1000 310 1111 1200

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153843

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
H 0 4 L	27/20		H 0 4 L 27/20	Z

審査請求 有 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平7-312392

(22) 出願日 平成7年(1995)11月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松井 仁志

東京都港区芝五丁目7番1号 日本電気株式会社内

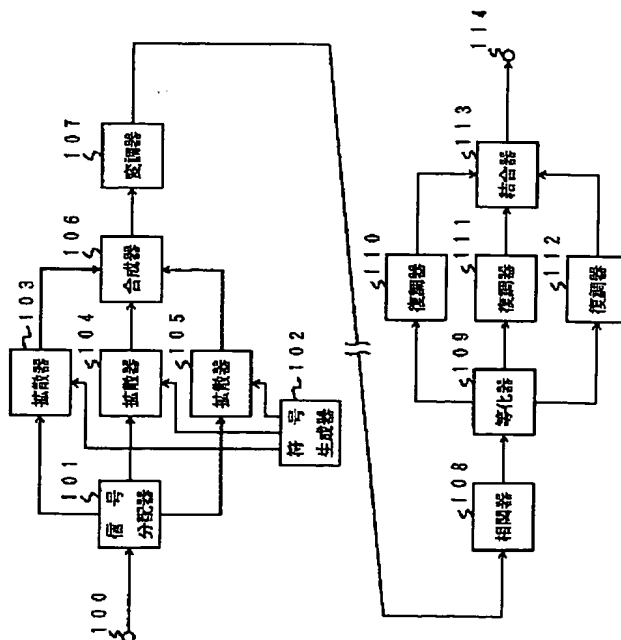
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 符号多重化通信装置

(57) 【要約】

【課題】 高ビットレートの符号多重化通信方式を提供する。

【解決手段】 送信側では入力信号を分割し、各分割された信号に各々異なるチップクロック単位の遅延を与え、それぞれ拡散された後合成され送出される。受信側では相関処理により逆拡散を行ったのち等化器でマルチパスの歪みを取り除く。等化器からは時分割された多重信号のように符号分割された信号が出力されるのでそれぞれの信号を復調し合成することにより送信データを復元することができる。



【特許請求の範囲】

【請求項1】 スペクトラム拡散を用いてデジタル信号を送送する符号多重化通信装置であり、送信装置のベースバンド信号演算部が、1つの拡散符号からタイミングをずらした n 個（ n は2以上の整数）の拡散符号系列を生成し出力する符号生成器と、1シンボルタイミング当たり $n \times m$ ビット（ m は1以上の整数）のシリアル入力信号を m ビットからなる n 個の平行信号に分割し出力する信号分配器と、前記信号分配器の n 個の m ビット出力信号を前記符号生成器の n 個の出力信号でそれぞれスペクトラム拡散を行う n 個の拡散器と、 n 個からなる前記拡散器の出力信号を合成する合成器と、前記合成器の出力信号に変調をかける変調器で構成され、受信装置のベースバンド信号演算部が、受信されたベースバンド信号と前記拡散符号の相関をとる相関器と、前記相関器の出力信号から伝送路によって発生する遅延歪を除去し n 個の信号を分離し出力する等化器と、前記等化器の n 個の出力信号の復調を行い m ビット平行信号を取り出す n 個からなる復調器と、前記 n 個の復調器の m ビット出力信号を合成しシリアル信号を出力する結合器で構成されていることを特徴とする符号多重化通信装置。

【請求項2】 前記信号分配器が、入力データを n 個の m ビットデータに分割する分割器と、前記分割器の出力信号を受けて前記符号生成器の出力信号のタイミングずれに等しい遅延を施す n 個の遅延器であり、相互に異なる遅延量である n 個の遅延器とで構成されることを特徴とする請求項1に記載の符号多重化通信装置。

【請求項3】 前記等化器が、データ信号受信時には相関器の出力信号の等化を行う等化演算器と、トレーニング信号受信時には前記相関器の出力信号を受けてマルチパス歪を求めその値を前記等化演算器のタップ係数として出力するタップ係数演算器と、前記等化演算器の出力信号を n 個の信号に分割する信号分割器で構成されることを特徴とする請求項1に記載の符号多重化通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、無線ローカルエリアネットワーク（LAN）に用いるに好適な、符号多重化通信装置に関する。

【0002】

【従来の技術】 無線LANは、端末の配置や端末の移動に対して従来の有線LANよりもかなり柔軟性が高い。しかし、無線LANとして利用できる周波数は有限であるため、有線のように利用者数に応じて配線数を増やすことがむずかしい。無線LANの利用できる周波数帯の

一つとして2.4GHz帯のISMバンドがある。このバンドは他に高周波加熱等でも利用されておりこれらと共存するためにスペクトラム拡散方式の使用が義務づけられている。さらにバンド幅が26MHzと限られているため、これまでの無線LAN装置では伝送速度2Mbpsが限界となっていた。しかし、2Mbpsの伝送速度では利用者の増大に伴い一人当たりの伝送速度が低下することとなる。

【0003】 従来の変調増幅方式を図2に示す。この図はIEEEの802.11で決められた方式に基づいた無線LANの一構成図である。

【0004】 信号伝送レートは2Mbpsであり、スペクトラム拡散を行うために拡散符号としては、11ビットのBarker符号が用いられる。拡散符号は、拡散符号発生器203からチップレート11MHzで出力される。11ビットのBarker符号は図3に示すように自己相関が+1となりタイミングのずれたBarker符号の相関は-1/11または0となる。

【0005】 送信装置の端子200から入力された1ビットシリアルデータはシリアルパラレル（S/P）変換器201で2ビットの平行データへ変換される。S/P変換器201の出力信号は拡散器202で符号生成器203から出力される拡散符号との乗算が行われる。拡散器202の出力信号はアナログ送信処理器204で変調および無線周波数への変換がされたのちアンテナを通して空中へ出力される。

【0006】 受信装置では、アンテナで受信された信号はアナログ受信処理器205で増幅されベースバンド信号へ変換される。ベースバンド信号は相関器206でBarker符号と相関が取られる。相関器206は図4に示すようにチップレートの遅延を持った遅延素子401と±1の乗算器402および加算器403で構成されている。乗数の+1および-1は使用されるBarker符号の符号系列と同一である。

【0007】 伝送路において多重反射等により発生する遅延波は、スペクトラム拡散を行うことにより図5のようにチップ毎に分解される。そこで、一番相関値の高いチップ信号のみを取り出し遅延波によって発生したチップ信号を捨てることにより、遅延波による歪みを減らすことができる。相関器206の出力信号は復調器207で復調され、P/S変換器208で2Mbpsのシリアルデータへ変換され出力される。

【0008】

【発明が解決しようとする課題】 従来の技術に基づいて伝送速度を上げる手段としては、シンボルレートを上げる方法と1シンボル当たりに乗せるビット数を上げる方法がある。

【0009】 シンボルレートを上げる方法では、拡散率を10倍以上にするように決められていることとバンド幅が26MHzと限られていることという制約があるた

め、伝送レートを2倍以上にすることは期待できない。

【0010】1シンボル当たりに乗せるビット数を上げる方法としては、QPSKの代わりに多相PSKやQAMを用いる方法があるが、遅延歪み等の影響による劣化が大きくなると共に演算処理精度への要求が高くなるため技術的にむずかしい。例えばQPSKの2倍の伝送速度を得るためには16値QAM以上の信号多重化が必要になる。16値QAMはQPSKに比べ10倍の電力を必要とするだけでなく、振幅歪に対して弱くなるため、QPSKと同等の性能を得るためにはデバイスへの負担がかなり大きくなると共に伝搬路における歪みの影響にも敏感になるためサービスエリアが小さくなる。

【0011】

【課題を解決するための手段】課題を解決するために、スペクトラム拡散を用いてデジタル信号を送送する方式として、送信装置のベースバンド信号演算部が、1つの拡散符号からタイミングをずらした n 個(n は2以上の整数)の拡散符号系列を生成し出力する符号生成器と、1シンボルタイミング当たり $n \times m$ ビット(m は1以上の整数)のシリアル入力信号を m ビットからなる n 個の平行信号に分割し出力する信号分配器と、前記信号分配器の n 個の m ビット出力信号を前記符号生成器の n 個の出力信号でそれぞれスペクトラム拡散を行う n 個の拡散器と、 n 個からなる前記拡散器の出力信号を合成する合成器と、前記合成器の出力信号に変調をかける変調器で構成され、受信装置のベースバンド信号演算部が、受信されたベースバンド信号と前記拡散符号の相関をとる相関器と、前記相関器の出力信号から伝送路によって発生する遅延歪を除去し n 個の信号を分離し出力する等化器と、前記等化器の n 個の出力信号の復調を行い m ビット平行信号を取り出す n 個からなる復調器と、前記 n 個の復調器の m ビット出力信号を合成しシリアル信号を出力する結合器で構成されていることを特徴とする。

【0012】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0013】図1は、本発明の実施形態の構成図である。図6は図1の信号分配器101の構成図であり、図11は図1の等化器109の構成図である。

【0014】図1では符号多重数を3、変調方式をシンボルレート1MHzの4値PSK、拡散符号を11ビットのBarker符号を用い伝送ビットレートを6Mbpsとして構成されている。

【0015】ビットレート6Mbpsの信号100は信号分配器101で3本の2Mbps信号へ分割される。信号分配器101は図6に示すように分割器601と3つの遅延器602、603、604で構成される。チップ周期(11MHzの逆数)を τ とすると、0チップ遅延器602は 0τ 、3チップ遅延器603は 3τ 、6チ

ップ遅延器604は 6τ の遅れの信号が出力される。なお、0チップ遅延器602は実質的に遅延時間が0となるため必ずしも必要ではない。

【0016】図7は符号生成器102の構成図である。符号発生器700では11ビットのBarker符号が1ビットづつチップ周期 τ で出力される。符号発生器700の出力信号は0チップ遅延器701と3チップ遅延器702と6チップ遅延器703でそれぞれ遅延され出力される。

【0017】信号分配器101の出力信号と符号生成器102の出力信号は拡散器103、104、105でスペクトラム拡散が行われる。分割器601、遅延器602、603、604の出力信号605、606、607、符号生成器102の出力信号704、705、706のタイミング図を図8に示す。

【0018】拡散された信号は合成器106で加算され、変調器107で変調されたのち周波数変換されて送信信号として送出される。

【0019】一方、受信信号は受信機でまずベースバンド信号へ変換される。ベースバンド信号は相関器108によりスペクトラム逆拡散が行われる。相関器108は従来例で示した図4と同一構成である。相関器108の出力信号は伝送路に遅延歪みがなければ図9の(b)のようになる。この図に示すように3多重化された信号は多重化による影響が現れるが各信号を分離することは可能であるため、送信側で拡散のタイミングをずらして多重化することにより、従来よりもより高速な信号の伝送が可能になる。

【0020】図9で(a)は従来の多重をしない時の相関器の出力信号である。11チップ毎に相関値の高い値が出力される。(b)は3多重の時の相関値の出力信号である。3多重になると自己相関値がピーク点以外で0でないことによる影響が無視できなくなってくる。

【0021】一方、無線による室内伝送路においては、直接波のほかに壁面反射等による多数の反射波が存在する。反射波は直接波よりも伝搬時間が大きくなるので受信機では遅延歪みを伴った信号として受信されることになる。図10の(A)は比較的遅延歪みの少ない環境で1多重の信号を送信したときの相関器の出力信号を示した図である。(B)は遅延歪みの大きい環境で1多重の信号を送信したときの相関器の出力信号を示した図である。どちらもシンボル周期に比べ遅延歪みの量が小さいため、遅延歪みによる伝送能力への劣化はほとんどない。一方、3多重をしたときは(C)、(D)のようになる。(C)は遅延歪みの少ない環境での相関器の出力信号である。この程度の遅延歪みならば3多重でも問題なく伝送できる。しかし、(D)のように遅延歪みが多い環境ではお互いの信号が干渉するようになるので受信特性に劣化が生じてくる。このように、多重数を大きくするとそれに比例して遅延歪みによる劣化が大きくな

る。

【0022】この遅延歪みによる劣化を防ぐために等化器109が必要になる。等化演算は図11に示すように判定帰還型で構成される等化演算器1108で行われる。この等化演算器1108の基本原理は主波を用いて遅延した反射波をキャンセルする方式である。主波に対する遅延した反射波のレベルがわかれば正確にキャンセルできるが、一般に受信側で反射波のレベルを予め知ることはできないので次のような方法で反射波のレベルを決定する。

【0023】まず、多重数1のプリアンプル信号をデータ信号の前に伝送する。多重数を1にすれば多重数3の時のように信号がお互いに干渉することがないので主波に対する遅延波のレベルを知ることができる。入力端子1100から入力されたプリアンプル信号はタップ係数演算器1101でいくつか入力し遅延波レベルの平均値を求める。時間平均を行うことにより雑音の影響を取り除き、より正確にタップ係数を求められる。

【0024】データ伝送の時は入力端子1110から入力された信号が減算器1109へ入力される。減算器1109では歪み成分が取り除かれ判定器1105で+1か-1かの判定が行われ雑音成分が除去される。判定器1105の出力信号は等化信号として信号分配器1106へ出力されると共に遅延器1104へも出力される。各遅延器1104と乗算器1103と加算器1102により反射波のレプリカ信号が生成され減算器1109へ出力される。各乗算器1103へ入力される反射波のレベルはタップ係数演算器1101から供給される。

【0025】図12の(A)に多重数3の時の入力信号1110を、(B)に判定器1105の入力信号を、(C)に判定器1105の出力信号をそれぞれ示す。

【0026】遅延歪みの影響を取り除かれた多重化信号は信号分割器1106で分割されそれぞれが出力される。出力された等化信号1109, 1110, 1111は復調器110, 111, 112へ送られる。それぞれ復調器110, 111, 112では復調が行われ2Mbpsの信号が出力される。各復調器110, 111, 112の出力信号は結合器113で信号分配器101と逆の操作が行われ、6Mbpsのシリアル信号が出力される。

【0027】

【発明の効果】以上説明したように本発明によれば、拡

散符号のタイミングをずらした符号系列を用いて符号多重化を行うことにより従来の3倍以上の伝送速度を得ることも可能となる。また、多重数を変えることにより伝搬環境に応じた最適伝送速度を得ることができると共に、多重数を1にすることによって従来の多重化しない装置との送受もできるようになるため同一フロア内で従来の装置が使われていても共存が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示した図である。

【図2】従来のスペクトラム拡散通信装置を示した図である。

【図3】11ビットのBarker符号の自己相関値を示した図である。

【図4】相関器の構成を示した図である。

【図5】遅延歪みがある時の相関器の出力信号を示した図である。

【図6】図1の信号分配器101の構成例を示した説明図である。

【図7】図1の符号生成器102の構成を示した図である。

【図8】送信機における分割器、遅延器、符号生成器の出力信号のタイミングを示した図である。

【図9】多重化に対する自己相関値を示した図である。

【図10】多重化における遅延歪みの影響を示した図である。

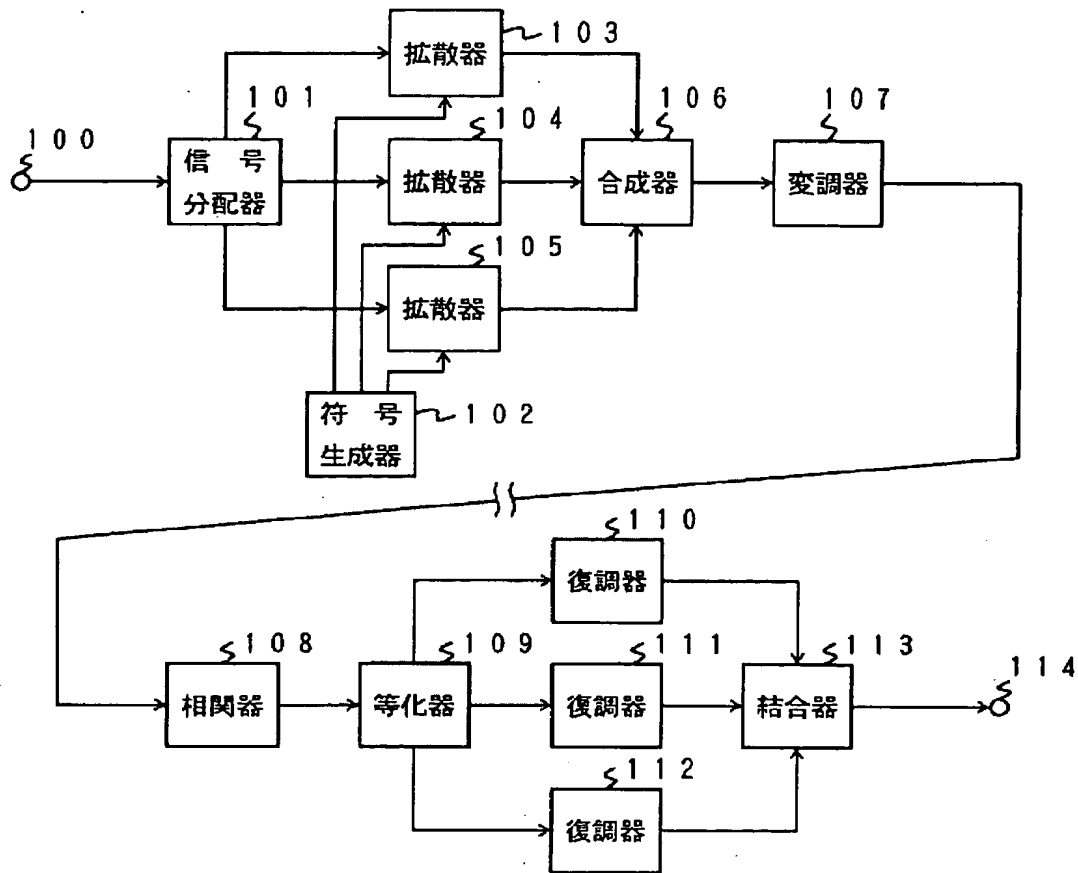
【図11】図1の等化器109の構成例を示した図である。

【図12】等化器の入出力信号を示した図である。

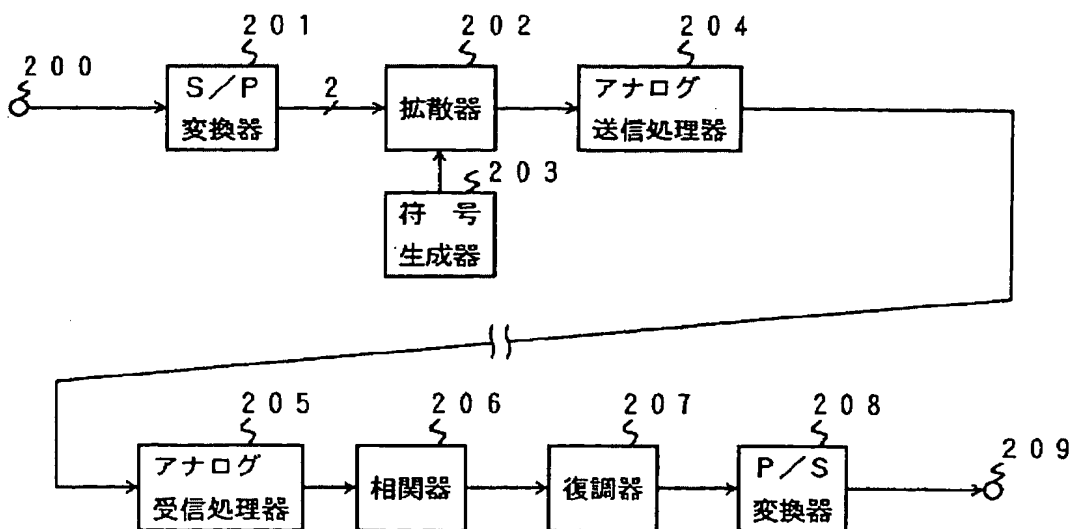
【符号の説明】

101	信号分配器
102	符号生成器
103	拡散器
104	拡散器
105	拡散器
106	合成器
107	変調器
108	相関器
109	等化器
110	復調器
111	復調器
112	復調器
113	結合器

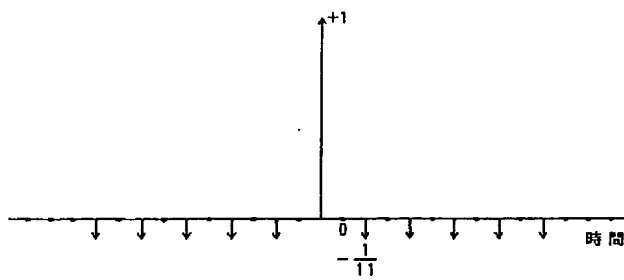
【図1】



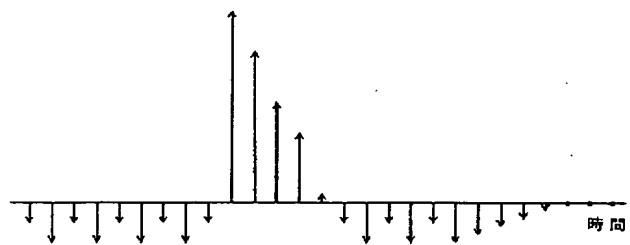
【図2】



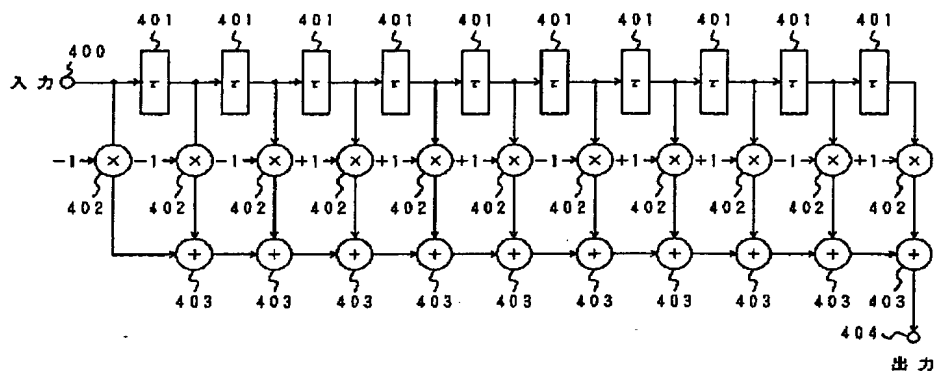
【図3】



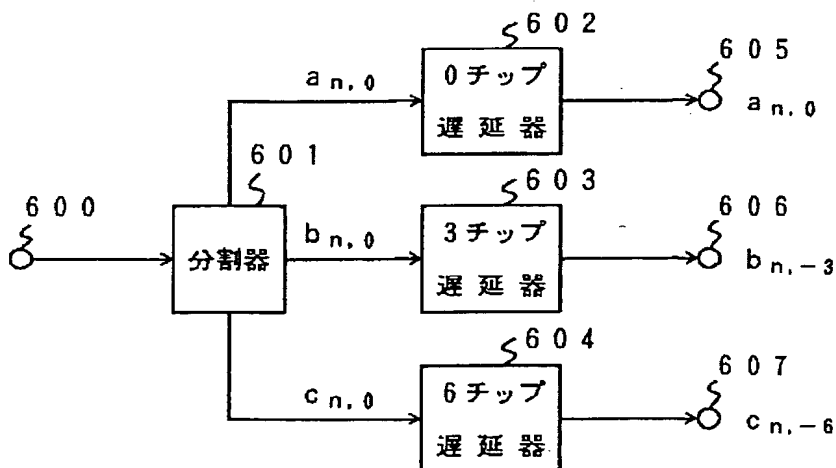
【図5】



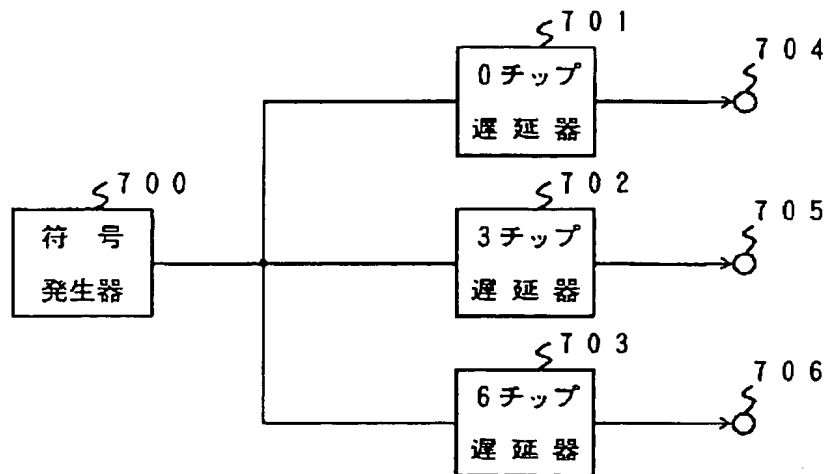
【図4】



【図6】



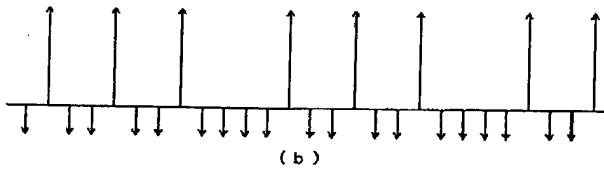
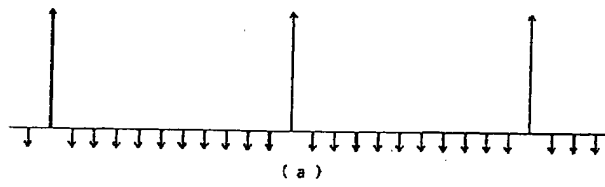
【図7】



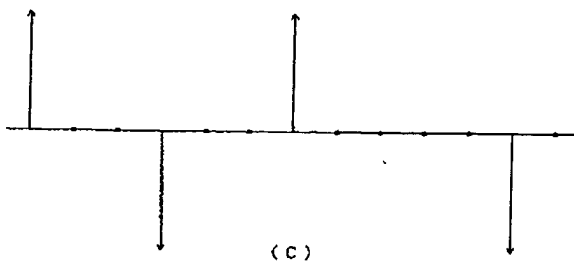
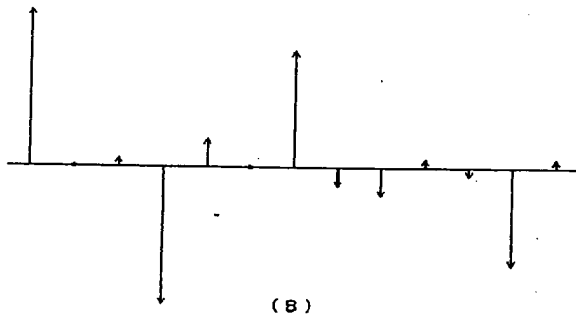
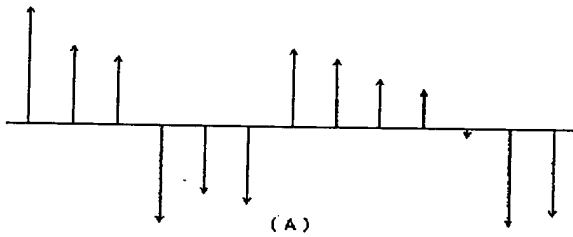
【図8】

分割器出力 1	<table><tr><td>a_0</td><td>a_1</td><td>a_2</td></tr></table>	a_0	a_1	a_2																									
a_0	a_1	a_2																											
0 チップ遅延器出力	<table><tr><td>a_0</td><td>a_1</td><td>a_2</td></tr></table>	a_0	a_1	a_2																									
a_0	a_1	a_2																											
符号 1 出力	<table><tr><td>+</td><td>-</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>-</td><td>+</td></tr></table>	+	-	+	+	-	+	+	+	-	-	+	-	+	+	-	+	+	+	-	-	+	-	+	+	-	+		
+	-	+	+	-	+	+	+	-	-	+	-	+	+	-	+	+	+	-	-	+	-	+	+	-	+				
分割器出力 2	<table><tr><td>b_0</td><td>b_1</td><td>b_2</td></tr></table>	b_0	b_1	b_2																									
b_0	b_1	b_2																											
3 チップ遅延器出力	<table><tr><td>b_{-1}</td><td>b_0</td><td>b_1</td><td>b_2</td></tr></table>	b_{-1}	b_0	b_1	b_2																								
b_{-1}	b_0	b_1	b_2																										
符号 2 出力	<table><tr><td>-</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td></tr></table>	-	-	-	+	-	+	+	-	+	+	+	-	-	+	-	+	+	+	-	+	+	+	-	-	+	-	+	
-	-	-	+	-	+	+	-	+	+	+	-	-	+	-	+	+	+	-	+	+	+	-	-	+	-	+			
分割器出力 3	<table><tr><td>c_0</td><td>c_1</td><td>c_2</td></tr></table>	c_0	c_1	c_2																									
c_0	c_1	c_2																											
6 チップ遅延器出力	<table><tr><td>c_{-1}</td><td>c_0</td><td>c_1</td></tr></table>	c_{-1}	c_0	c_1																									
c_{-1}	c_0	c_1																											
符号 3 出力	<table><tr><td>+</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td><td>+</td><td>-</td><td>+</td><td>+</td><td>-</td><td>+</td><td>+</td><td>+</td><td>-</td><td>-</td></tr></table>	+	+	+	+	-	-	-	+	-	+	+	+	-	+	+	+	-	-	+	-	+	+	-	+	+	+	-	-
+	+	+	+	-	-	-	+	-	+	+	+	-	+	+	+	-	-	+	-	+	+	-	+	+	+	-	-		

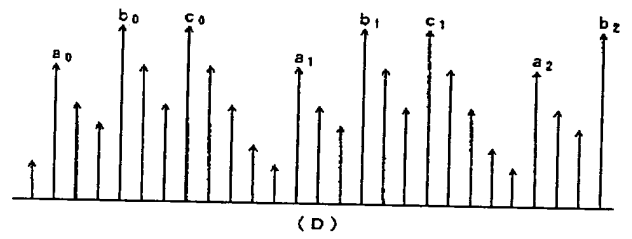
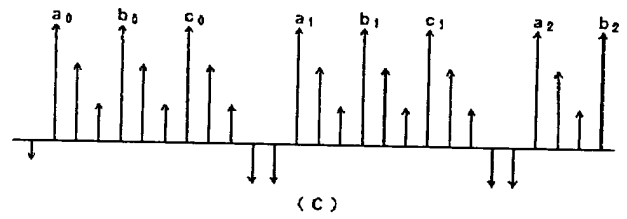
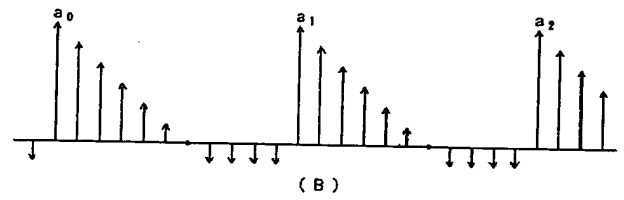
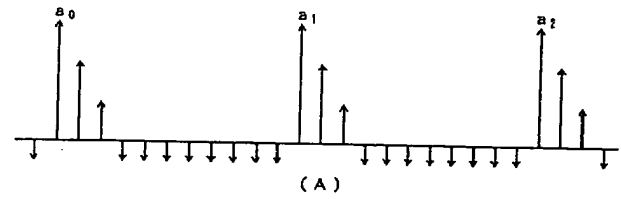
【図9】



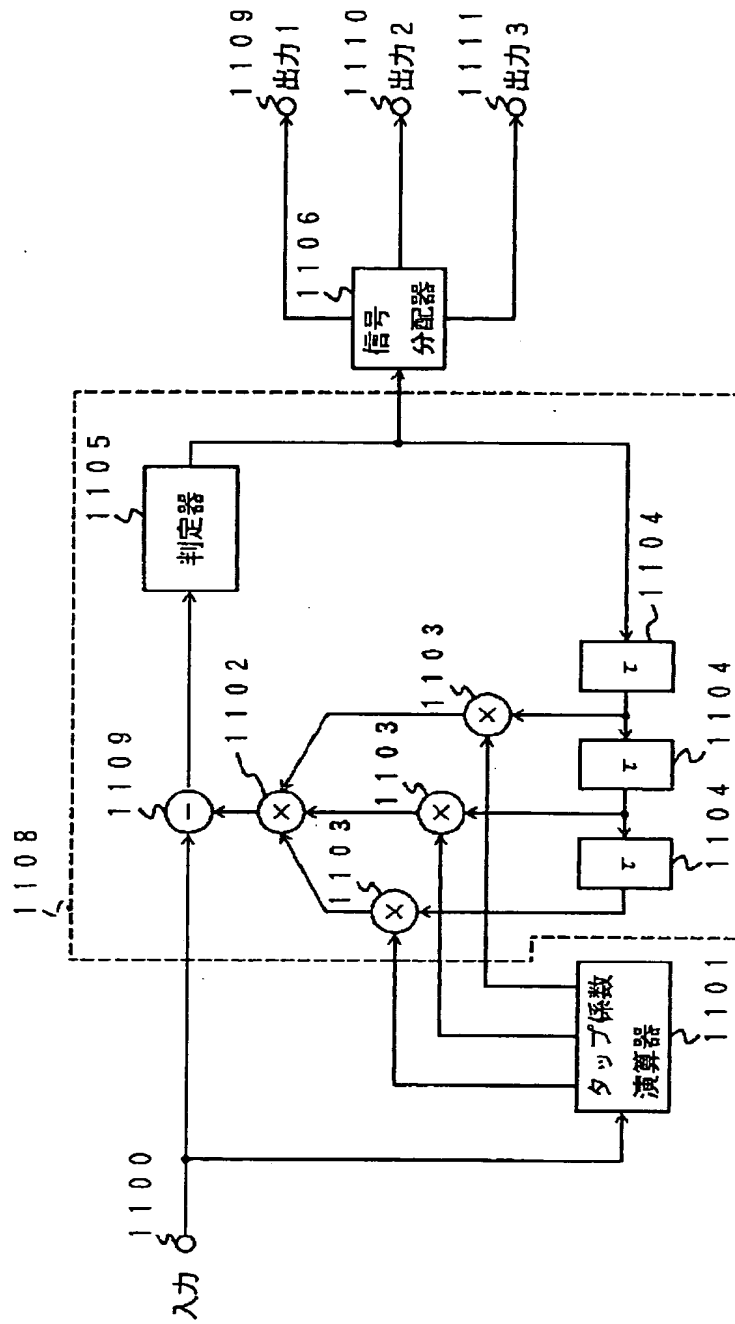
【図12】



【図10】



【図11】



THIS PAGE BLANK (USPTO)